PATENT ABSTRACTS OF JAPAN

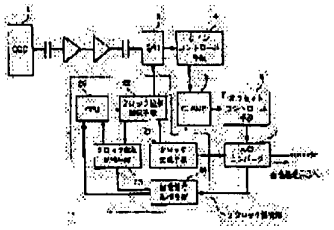
(11)Publication number : 10-290399
(43)Date of publication of application : 27.10.1998

(51)Int.Cl. H04N 5/335

(21)Application number : 09-096285 (71)Applicant : FUJI XEROX CO LTD
(22)Date of filing : 15.04.1997 (72)Inventor : ISHIKAWA HIROYUKI

(54) IMAGE READER

(57)Abstract:
PROBLEM TO BE SOLVED: To read image information using the set signals of an optimum phase by selecting the one to be a high level among image signal levels obtained by respective set signals from the plural set signals of the different phases generated in a clock phase control means even when characteristic change due to the dispersion of a device and temperature fluctuation relating to clock generation is present.
SOLUTION: In an image signal storage means 24, plural image data corresponding to the sample-and-hold of the different phases at the time of fetching the images of the same light quantity by a white reference plate are stored. In a program processing by a CPU 25, from the plural image data corresponding to the sample-and-hold of the different phases stored in the image signal storage means 24, the one to be a highest output level is selected. At the time of the selection, single pixel data corresponding to respective clocks A, B and C can be turned to the image data under consideration or the respective plural pixel data corresponding to the respective clocks A, B and C can be turned to the image data under consideration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)　(12)公開特許公報（A）　(11)特許出願公開番号
特開平10－290399
(43)公開日　平成10年(1998)10月27日

(51)Int.Cl.*	識別記号	FI		
H04N	5/335	H04N	5/335	P

審査請求　未請求　請求項の数2　OL　（全5頁）

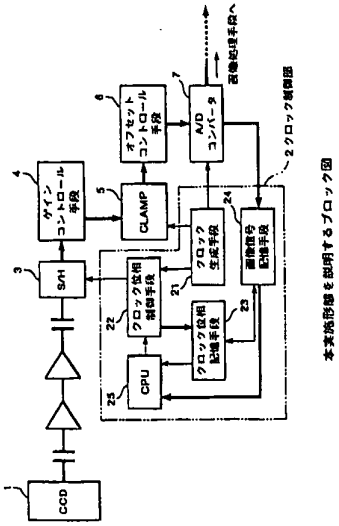
(21)出願番号　特願平9-96285

(22)出願日　平成9年(1997)4月15日

(71)出願人　000005496
富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号
(72)発明者　石川　弘幸
神奈川県海老名市本郷2274番地　富士ゼロックス株式会社海老名事業所内
(74)代理人　弁理士　船橋　國則

(54)【発明の名称】画像読み取り装置

(57)【要約】
【課題】　最適な位相のクロックを決定してサンプルホールドすること。
【解決手段】　本発明は、画像情報を光電変換するＣＣＤ１と、ＣＣＤ１の出力信号から所定タイミングでの画像信号レベルを取り出す設定信号を位相を異にして複数生成するクロック位相制御手段２２と、同じ光量の画像情報を光電変換した場合のＣＣＤ１の出力信号から、クロック位相制御手段２２により生成された位相を異にする複数の設定信号によって得られる各画像信号レベルを比較する比較手段と、比較手段によって比較された各画像信号レベルのうち大きいレベルと対応する設定信号の位相を、画像情報を読み取る際の設定信号の位相として決定する決定手段とを備えている画像読み取り装置である。



1

【特許請求の範囲】
【請求項１】　画像情報を光電変換する光電変換手段と、
前記光電変換手段の出力信号から所定タイミングでの画像信号レベルを取り出す設定信号を位相を異にして複数生成するクロック位相制御手段と、
同じ光量の画像情報を光電変換した場合の前記光電変換手段の出力信号から、前記クロック位相制御手段により生成された位相を異にする複数の設定信号によって得られる各画像信号レベルを比較する比較手段と、
前記比較手段によって比較された各画像信号レベルのうち大きいレベルと対応する設定信号の位相を、画像情報を読み取る際の設定信号の位相として決定する決定手段とを備えていることを特徴とする画像読み取り装置。
【請求項２】　前記クロック位相制御手段は、複数の遅延素子から構成されていることを特徴とする請求項１記載の画像読み取り装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、原稿上の画像等を電気信号に変換し、所定タイミングにおける画像信号レベルを取り出す画像読み取り装置に関する。
【０００２】
【従来の技術】従来、デジタル複写機をはじめとするデジタル画像入力装置においては、画像読み取り装置の主要部分であるＣＣＤイメージセンサの出力信号を所定の処理回路で信号処理し、アナログ／デジタル変換（以下、単に「Ａ／Ｄ変換」と言う。）している。また、Ａ／Ｄ変換された信号は画像処理部を通じて記憶装置、画像形成装置等へ送られ、用紙等の媒体へ印刷される。
【０００３】
【発明が解決しようとする課題】しかし、近年、デジタル複写機などにおいてはその生産性向上や高画質化に伴う解像度向上の観点から、画像信号処理の動作周波数を高める必要に迫られている。このため、ＣＣＤイメージセンサの出力信号における画像信号取り出し期間は必然的に短縮され、その期間で最適にサンプルホールドすることが困難となっている。
【０００４】例えば、画像信号を４０ＭＨｚで動作させ、並列二出力回路のＣＣＤイメージセンサを用いた場合、ＣＣＤイメージセンサの一出力あたり２０ＭＨｚでの動作となり、１クロック期間は５０ｎｓとなる。
【０００５】このうち、画像信号取り出し期間は５０％デューティのクロックでドライブすると２５ｎｓ、さらにデータをサンプルホールドできる期間はその半分の約１２ｎｓとなり、サンプルホールドのタイミング精度を±６ｎｓ以内にする必要が生じる。
【０００６】特開平５－８３６４５号公報では、サンプルホールドクロックを発信器のクロックなどから分周・反転・遅延・論理演算等を経て生成する技術が開示されている。しかしながら、この技術では、クロック生成にかかわるデバイスのばらつきや温度変動によるデバイスの特性変化によってサンプルホールドタイミングに誤差が生じてしまう。つまり、このような技術では、サンプルホールドのタイミング精度を例えば±６ｎｓ以内にするという高周波数動作を実現するのは困難である。
【０００７】
【課題を解決するための手段】本発明はこのような課題を解決するために成された画像読み取り装置である。すなわち、本発明は、画像情報を光電変換する光電変換手段と、光電変換手段の出力信号から所定タイミングでの画像信号レベルを取り出す設定信号を位相を異にして複数生成するクロック位相制御手段と、同じ光量の画像情報を光電変換した場合の光電変換手段の出力信号から、クロック位相制御手段により生成された位相を異にする複数の設定信号によって得られる各画像信号レベルを比較する比較手段と、比較手段によって比較された各画像信号レベルのうち大きいレベルと対応する設定信号の位相を、画像情報を読み取る際の設定信号の位相として決定する決定手段とを備えている画像読み取り装置である。
【０００８】本発明では、クロック位相制御手段から位相を異にする複数の設定信号を生成しており、同じ光量の画像情報を光電変換手段にて光電変換した場合に、この位相を異にする複数の設定信号に基づき光電変換手段の出力信号から複数の画像信号レベルを取り出している。さらに、比較手段では、この複数の画像信号レベルの大きさを比較し、決定手段において各画像信号レベルのうち大きいレベルと対応する設定信号の位相を、画像情報の読み取りにおける設定信号の位相として決定している。
【０００９】つまり、クロック生成にかかわるデバイスのばらつきや温度変動による特性変化があっても、クロック位相制御手段で生成した位相を異にする複数の設定信号の中から、各設定信号で得た各画像信号レベルのうち、大きいレベルとなるものを選択することで、そのばらつきや特性変化を吸収できる最適な位相の設定信号を用いて画像情報の読み取りを行うことができるようになる。
【００１０】
【発明の実施の形態】以下に、本発明の画像読み取り装置における実施の形態を図に基づいて説明する。図１は本発明の画像読み取り装置における実施形態を説明するブロック図である。
【００１１】すなわち、本実施形態における画像読み取り装置は、主として画像情報を光電変換するＣＣＤ（Charge Coupled Device）１と、図中二点鎖線で囲まれる部分のクロック制御部２と、サンプルホールド回路（Ｓ／Ｈ）３と、ゲインコントロール手段４と、基準レベルをクランプするクランプ回路（ＣＬＡＭＰ）５と、基準

レベルのオフセットを調整するオフセットコントロール手段6と、画像信号をデジタル変換するA／Dコンバータ7とから構成されている。

【0012】また、この画像読み取り装置の主要部であるクロック制御部2は、所定周期のクロックを生成するクロック生成手段21と、クロック生成手段21からクロックを得て、位相の異なる複数のクロックを生成するクロック位相制御手段22と、位相の異なる複数のクロックの中から最適なクロックの位相を記憶するクロック位相記憶手段23と、A／Dコンバータ7を介してデジタル変換された画像信号を記憶する画像信号記憶手段24と、プログラム処理によって各種制御を行うCPU25とから構成されている。

【0013】本実施形態では、このクロック制御部2により、クロック生成のための各種回路のばらつきや温度変動による特性変化を吸収できる最適な位相のクロックを決定し、その位相によるクロックで画像情報の読み取りを行う点に特徴がある。

【0014】図2はクロック位相制御手段の構成例を示すブロック図である。クロック位相制御手段22は、例えば複数の遅延素子22a、22b、22c、22dが直列に接続された多段構成となっており、スイッチ部22s（回路構成でもよい）の切り換えによって入力クロックが通過する遅延素子の段数を切り換えて、各々異なる位相のクロックを出力できるようになっている。

【0015】次に、具体的な動作を説明する。通常、画像読み取り装置には、同じ光量の画像情報を読み取ってシェーディング補正を行うための白基準板（図示せず）が設けられている。

【0016】先ず、この白基準板から同じ光量の画像情報をCCD1によって読み取る。次に、クロック位相制御手段22から位相の異なる複数のクロックを生成し、各クロックをサンプルホールド回路（S／H）3へ送って、この各クロックによるサンプルホールドを行って各々画像信号レベルを取り出す。

【0017】この際、クロック位相制御手段22で生成する位相の異なる複数のクロックは、CCD出力をサンプルホールドできる期間をやや上回る程度（CCDの一出力あたり20MHzでの動作を行う場合、20ns程度）の位相のずれ幅の中に複数用意しておく。

【0018】複数のクロックによってサンプルホールドした場合、各クロックの位相によって得られる画像信号レベル（出力レベル）が変化することになる。図3はCCDの出力波形と各クロックとの位相関係を示す図である。

【0019】CCDの出力波形は、リセット期間①、黒レベル基準期間②、画像信号期間③の繰り返し波形となり、この画像信号期間③においてサンプルホールドすることによって画像信号を得ている。クロック位相制御手段22（図1参照）は、この画像信号期間③内で、例えば位相の異なる3つのクロックA、B、Cを出力する。サンプルホールドは、各クロックA、B、Cの立ち下がり部分で行われ、その時点での画像信号レベルが出力レベルとなる。

【0020】図4はサンプルホールドのタイミングによる出力レベルの違いを示す図である。すなわち、あるCCDセンサ出力波形（画像信号期間）において、各々位相の異なるクロックA、B、C（図3のクロックA、B、Cと対応している）でサンプルホールドを行うと、その位相に応じてホールドタイミングが変化し、各々異なる出力レベルとなる。

【0021】図4に示す例では、クロックCでサンプルホールドした場合の出力レベル、クロックAでサンプルホールドした場合の出力レベル、クロックBでサンプルホールドした場合の出力レベル、の順に大きくなっている。

【0022】また、本実施形態では、各クロックA、B、Cに基づき得た各出力レベルの画像信号を、図1に示すゲインコントロール手段4、オフセットコントロール手段6等を経てA／Dコンバータ7によって量子化する。また、この量子化された画像データを、各クロックの位相と対応させて画像信号記憶手段24に記憶しておく。

【0023】つまり、画像信号記憶手段24には、白基準板による同じ光量の画像を取り込んだ際の、位相の異なるサンプルホールドに対応した複数の画像データが記憶されることになる。なお、この複数の画像データを記憶する記憶手段として、シェーディング処理を行う際に用いるシェーディングメモリ（図示せず）の一部を用いるようにしてもよい。

【0024】次に、CPU25（図1参照）でのプログラム処理で、画像信号記憶手段24に記憶された位相の異なるサンプルホールドに対応した複数の画像データの中から最大の出力レベルとなっているものを選択する。この選択の際、各クロックA、B、Cに対応した単数の画素データを注目画像データとしても、各クロックA、B、Cに対応した各々複数の饒死データを注目画像データとしてもよい。複数注目する場合には、注目する複数の出力レベルをクロックの位相毎に平均し、その平均値を採用し、出力レベルを比較する。

【0025】そして、ここで選択された最大の出力レベルとなるクロックの位相をクロック位相記憶手段23（図1参照）に記憶し、その後の画像情報の読み取りを行う場合のサンプルホールドのクロックの位相として決定する。

【0026】図4に示す例では、クロックBでの出力レベルが最大となっていることから、このクロックBの位相をクロック位相記憶手段23に記憶し、その後の画像情報の読み取りでは、この位相のクロックを採用することになる。

【0027】なお、出力レベルが最大となるクロックが複数存在する場合には、そのうちの最も早い位相と最も遅い位相との中間の位相を採用する。これにより、サンプルホールドのタイミングにおけるマージンもできることになる。

【0028】このように、各々位相の異なる複数のクロックを用いて白基準板の画像情報をCCDにて取り込んだ際の出力信号をサンプルホールドし、その中から出力レベルの最大となるクロックの位相を、実際の画像情報取り込みにおけるクロックの位相とすれば、クロック生成にかかわる各種回路でのばらつきや温度変動による特性変化があった場合でも、その誤差を吸収できる最適な位相のクロックでサンプルホールドできるようになる。

【0029】この一連の動作は、画像読み取り装置の出荷時や、シェーディング補正と同時期、画像形成処理の直前または直後などに必要に応じて行える。これによって、各種回路のばらつきや特性変化があっても最適な位相のクロックで画像読み取りを行うことが可能となる。

【0030】なお、上記説明した実施形態では、位相の異なる複数のクロックとしてA、B、Cの3つを生成する例を示したが、本発明はこれに限定されず、さらに多くのクロックを生成して、その中から最適な位相のものを決定するようにしてもよい。

【0031】

【発明の効果】以上説明したように、本発明の画像読み取り装置によれば次のような効果がある。すなわち、画

像信号を取り出す設定信号のタイミングを適切に制御できることから、クロック生成にかかわる各種回路でのばらつきや温度変動による特性変化があってもそれを吸収でき、信号処理の動作周波数が高くなっても正確なタイミングで画像信号を取り出すことが可能となる。

【図面の簡単な説明】

【図1】　本実施形態を説明するブロック図である。

【図2】　クロック位相制御手段の構成例を示すブロック図である。

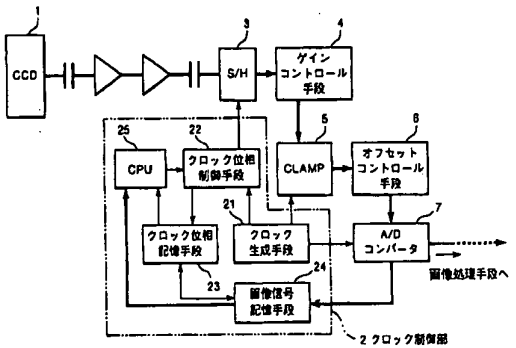
【図3】　出力波形と各クロックとの位相関係を示す図である。

【図4】　ホールドタイミングによる出力レベルの違いを示す図である。

【符号の説明】

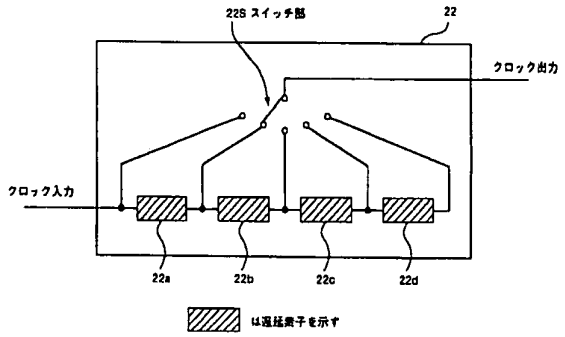
1　CCD
2　クロック制御部
3　サンプルホールド回路（S／H）
4　ゲインコントロール手段
5　クランプ回路（CLAMP）
6　オフセットコントロール手段
7　A／Dコンバータ
21　クロック生成手段
22　クロック位相制御手段
23　クロック位相記憶手段
24　画像信号記憶手段
25　CPU

【図1】



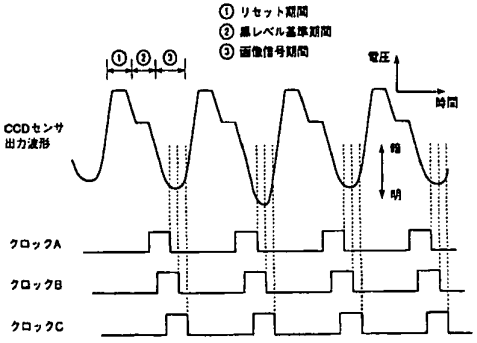
本実施形態を説明するブロック図

【図2】



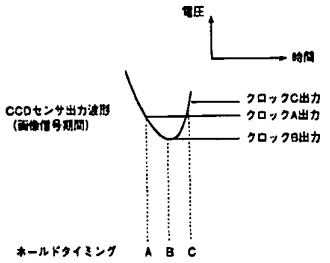
クロック位相制御手段の構成例を示すブロック図

【図3】



出力波形と各クロックとの位相関係を示す図

【図4】



ホールドタイミングによる出力レベルの違いを示す図